

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-032318

(43)Date of publication of application : 28.01.2000

(51)Int.Cl. H04N 5/232
G06T 1/00
G06T 1/60
H04N 5/335

(21)Application number : 10-208556

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 09.07.1998

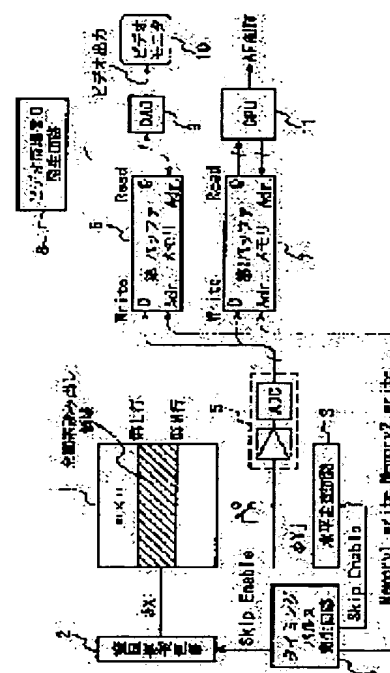
(72)Inventor : TAKAYANAGI ISAO

(54) IMAGE INPUT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image input device capable of simultaneously providing entire image information based on thinning scanning and high-resolution partial image information based on full pixel scanning from the same frame.

SOLUTION: This image input device is composed of a pixel array 1, vertical and horizontal scanning circuits 2 and 3 a timing pulse generating circuit 4 for driving and controlling the vertical and horizontal scanning circuits so as to scan only the prescribed area of the pixel array in a full pixel scanning mode and to scan remaining areas while thinning them, a first buffer memory 6 for storing a thinning scan video signal separately from thinning scan and full pixel scan mixed video signals read out of the pixel array, a second buffer memory 7 for storing a full pixel scan video signal separately from the thinning scan and full pixel scan mixed video signals, a video synchronizing signal generating circuit 8 for reading the stored thinned video signal synchronously with a video monitor 10, and a CPU 11 for performing focal point discriminating processing or the like while using the full pixel scan video signal.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-32318

(P2000-32318A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 4 N	5/232	H 0 4 N	5/232 A 5 B 0 4 7
G 0 6 T	1/00		5/335 Z 5 C 0 2 2
	1/60		3 3 0 5 C 0 2 4
H 0 4 N	5/335	G 0 6 F	15/64 4 5 0 G

審査請求 未請求 請求項の数3 F D (全 6 頁)

(21)出願番号 特願平10-208556

(22)出願日 平成10年7月9日(1998.7.9)

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 高柳 功

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

(74)代理人 100087273

弁理士 最上 健治

Fターム(参考) 5B047 AA30 BB04 EA07 EB01

5C022 AB03 AB06 AB28 AB30 AB32

AC00 AC42

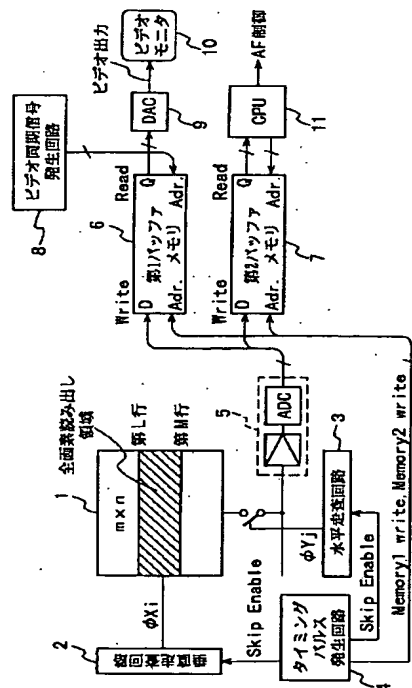
5C024 CA11 HA06 HA09 JA04 JA10

(54)【発明の名称】 画像入力装置

(57)【要約】

【課題】 同一フレームから間引き走査による全体画像情報と全画素走査による高解像部分画像情報とを同時に得られるようにした画像入力装置を提供する。

【解決手段】 画素アレイ1と、垂直及び水平走査回路2、3と、垂直及び水平走査回路を、画素アレイの所定領域のみを全画素走査モードで走査すると共に、残りの領域を間引き走査するように駆動制御するタイミングパルス発生回路4と、画素アレイから読み出された間引き走査及び全画素走査混在映像信号から間引き走査映像信号を分離して記憶する第1のバッファメモリ6と、上記間引き走査及び全画素走査混在映像信号から全画素走査映像信号を分離し記憶する第2のバッファメモリ7と、記憶された間引き映像信号をビデオ同期信号発生回路8と、全画素走査映像信号を用いて合焦点判定処理等を行うCPU11とで画像入力装置を構成する。



【特許請求の範囲】

【請求項 1】 複数の画素を 2 次元状に配列してなる画素アレイを有し、該画素アレイの画素を間引いて走査する間引き走査を含む複数の走査モードで走査できるようにした固体撮像素子を備えた画像入力装置において、前記固体撮像素子の画素アレイの連続する所定領域の画素群のみを全画素走査すると共に、画素アレイの残りの領域の画素群については間引き走査を行う走査制御手段と、前記全画素走査領域からの映像信号と間引き走査領域からの映像信号とを互いに分離する映像信号分離手段とを備え、前記全画素走査領域からの映像信号を露出制御又は焦点検出に用いることを特徴とする画像入力装置。

【請求項 2】 前記走査制御手段の走査制御により画素アレイから出力された映像信号を記憶する複数のフレームバッファメモリと、該複数のフレームバッファメモリにそれぞれ全画素走査領域に対応する全画素走査映像信号と間引き走査領域に対応する間引き走査映像信号とを分離し記憶するメモリ制御手段と、前記全画素走査映像信号を間引き処理し前記間引き走査映像信号と合成して画素アレイ全領域の合成間引き走査映像信号を形成する間引き走査映像信号合成手段とを備え、該間引き走査映像信号合成手段から出力される合成間引き走査映像信号をビデオ信号として出力するように構成したことを特徴とする請求項 1 に係る画像入力装置。

【請求項 3】 前記固体撮像素子はタイミング発生回路を備え、該タイミング発生回路は、前記メモリ制御手段における映像信号分離動作のためのタイミングパルス及び前記間引き走査映像信号合成手段における映像信号合成動作のためのタイミングパルスを供給するように構成されていることを特徴とする請求項 2 に係る画像入力装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像入力装置に関し、特に間引き走査可能な固体撮像素子を用いた画像入力装置に関する。

【0002】

【従来の技術】一般に、固体撮像素子を用いた撮像装置において、撮影画像の高精細化を図るため固体撮像素子の多画素化を進めて行くと、全画素を読み出すフレームレートが低下してしまう。そこで、画素を間引いて読み出す間引き読み出しを行ってフレームレートを上げ、画角合わせなどに用いるようにしており、一方、部分領域の全画素読み出しを行って焦点調整などに用いるようにしている。

【0003】かかる間引き読み出しを行えるようにした撮像素子を用いた撮像装置として、特開平 9-214836 号公報には、次のような構成のものが開示されている。すなわち、図 5 に示すように、光電変換面に形成さ

れた全画素のうちの所定の画素のデータを読み出すことが可能な撮像素子 104 と、該撮像素子 104 における全画素のうち、所定のブロック内の画素を走査するためのブロック走査モードと、全画素について所定の間引き率で特定の画素を間引いて走査するための間引き走査モードとを切り換えて前記撮像素子 104 を駆動制御することが可能な駆動部 103 と、前記撮像素子 104 から間引き走査モードで読み出され A/D 変換部 105 で A/D 変換されたデータをスイッチ 106 を介して記憶する全体表示メモリ 107 と、前記撮像素子 104 からブロック走査モードで読み出され A/D 変換されたデータをスイッチ 106 を介して記憶する部分拡大表示メモリ 108 と、前記 2 つのメモリ 107、108 に記憶された各データを一つのモニタ 110 上で別々の画像として表示可能なようにデータ変換して出力する表示出力部 109 と、入力装置 101 からの指示を受けて各部の制御を行うコントローラ 102 とを備え、コントローラ 102 が画角合わせやピント合わせ、すなわち撮影者のモニタリングのための処理を行うように指示を受けた場合、駆動部 103 及びスイッチ 106 を制御して、撮像素子 104 から間引き走査による画像データとブロック走査による画像データを交互に全体表示メモリ 107 と部分拡大表示メモリ 108 に送り出して記憶させ、該 2 つのメモリ 107、108 に記憶された画像データは、水平 1 ライン分毎に交互に読み出されて表示出力部 109 へ送出され、標準テレビジョン信号に変換されて一つのモニタ 110 の表示画面上に表示されるようになっている。なお、コントローラ 102 が撮影のための処理を行うように指示を受けた場合は、全画素走査で画像データが送り出され、1 画面の画像データがバッファメモリ 111 を介してハードディスク 112 に記録保管されるようになっている。

【0004】

【発明が解決しようとする課題】ところで、上記公報開示の撮像装置においては、画角合わせなどのための間引き走査による全体画像とピント合わせなどのためのブロック走査による部分精細画像を得る場合に、間引き走査モードとブロック走査モードを混在させたモードで駆動走査するものではないので、同一フレームから間引き走査による全体画像情報とピント合わせ用の高解像情報を得ることはできない。そのため、従来の上記公報開示の撮像装置ではピント合わせの処理中は、画角合わせ用のビデオ出力が行えないという問題がある。これを改善するため、画角合わせ用の間引き画像入力とピント合わせ用の高精細画像入力を、フレーム毎交互に読み出すように構成した場合においても、ピント合わせ用のビデオ出力の実効的なフレームレートが低下するという問題があった。

【0005】本発明は、従来の撮像装置における上記問題を解消するためになされたもので、同一フレームから間引き走査による全体画像情報と全画素走査による高

解像部分画像情報が得られるようにした画像入力装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記問題点を解決するため、請求項1に係る発明は、複数の画素を2次元状に配列してなる画素アレイを有し、該画素アレイの画素を間引いて走査する間引き走査を含む複数の走査モードで走査できるようにした固体撮像素子を備えた画像入力装置において、前記固体撮像素子の画素アレイの連続する所定領域の画素群のみを全画素走査すると共に、画素アレイの残りの領域の画素群については間引き走査を行う走査制御手段と、前記全画素走査領域からの映像信号と間引き走査領域からの映像信号とを互いに分離する映像信号分離手段とを備え、前記全画素走査領域からの映像信号を露出制御又は焦点検出に用いることを特徴とするものである。

【0007】このような走査制御手段と映像信号分離手段を設けることにより、画素アレイの特定領域の画素群については全画素走査が行われ、その他の領域の画素群については間引き走査が行われるので、間引き走査による映像信号と全画素走査による映像信号とが混在した信号が得られ、これらの混在した信号は映像信号分離手段で分離され、同一フレームから間引き走査による全体画像情報と全画素走査による高解像部分画像情報が得られる。

【0008】

【発明の実施の形態】次に、実施の形態について説明する。図1は、本発明に係る画像入力装置の実施の形態を示すブロック構成図である。図1において、1は光電変換素子からなる複数の画素を2次元的に $m \times n$ 配列してなる画素アレイ、2、3は画素アレイ1を走査して画素信号を読み出すための垂直走査回路及び水平走査回路であり、間引き動作を含む複数の動作モードを有している。4は垂直走査回路2及び水平走査回路3を駆動制御するためのタイミングパルスを発生するためのタイミングパルス発生回路で、これらの構成部材で固体撮像素子を構成している。5は垂直走査回路2及び水平走査回路3の走査により読み出された映像信号を増幅すると共にA/D変換するA/D変換部、6、7はそれぞれ前記タイミングパルス発生回路4からの制御信号を受けてA/D変換されたデジタル映像信号から間引き画像信号を記憶する第1のバッファメモリ及び自動ピント合わせに必要な画像のみを記憶する第2のバッファメモリ、8は第1のバッファメモリ6に記憶された間引き信号をビデオモニタ10と同期し読み出すためのビデオ同期信号発生回路、9は第1のバッファメモリ6に記憶されたデジタル信号をアナログ信号に変換するためのD/A変換部、11は自動ピント合わせ処理を行うCPUである。

【0009】間引き走査が可能な走査回路の構成例としては、例えば図2に示すように、D形フリップフロップ

回路(DDF)で構成したシフトレジスタにおいて、DDFの出力信号を次段のDDFに信号を転送するスイッチ21と、該スイッチ21とは制御の論理を逆転させると共に一段飛ばして次次段のDDFに信号を転送するスイッチ22とを各DDF間に設け、これらスイッチ21と22との制御端子に、タイミング発生回路4からのスキップイネーブル(Skip Enable)信号を入力することで実現できる。

【0010】図3は図2に示した間引き走査が可能な走査回路の動作タイミングを示す図であり、CKは走査の基本クロック、 $\phi 1N$ は走査の入力信号、 $\phi 1 \sim \phi 12$ はそれぞれ走査回路の各段の出力タイミングを示している。Skip EnableがLのとき隣接するDDF間の接続スイッチ21がオンし、走査信号はCKの周期に対して一段づつシフトする。Skip EnableがHとなると、スイッチ21がオフする一方でスイッチ22がオンし、走査信号は次次段のDDFに転送され、これが繰り返されることで一段置きにスキップしながら移動する。したがって、このような走査回路を垂直走査回路2及び水平走査回路3に採用することで、間引き走査が可能な撮像装置の構成が可能となる。図2に示した走査回路の回路構成は、一画素飛ばしの間引き走査が可能なものであるが、飛び越し用のスイッチ22の接続先を変えることで、間引き画素数は簡単に変更できる。

【0011】次に、このように構成されている画像入力装置の動作について、図4のパルスタイミング図を用いて説明する。説明を簡単にするため、画素アレイ1の第L行から第M行の間を全画素読み出し、それ以外の領域では行及び列とも一画素おきに画素を間引いて読み出す場合を例にとって説明する。図4の動作を説明するためのパルスタイミング図における各パルス名は、図1に示したパルス名と一致させている。 ϕXi ($\phi X1 \sim \phi Xm$)は行選択パルスを表し、 ϕXi がHのとき画素アレイ1の第i行の画素のみが選択されることを示す。またSkip Enableは垂直走査回路2及び水平走査回路3の間引き走査を制御するパルスであり、Skip EnableにHが出力されると、垂直走査回路2及び水平走査回路3とも一画素おきに間引き走査し、Skip EnableがLのときは連続して画素を走査する。Memory1 Write及びMemory2 Writeは、それぞれ間引き画像用の第1のバッファメモリ6とピント合わせ画像用の第2のバッファメモリ7とに信号を入力(Write)するタイミングを制御するパルスである。列選択パルス ϕYj は、行選択パルス ϕXi がHとなる期間中に列を走査するが、煩雑化するのを避けるため図4では表示を省略している。

【0012】次に、動作の詳細を図4に示すタイミングに添って説明する。時刻 $t_0 \sim t_1$ 間からなる1フレーム期間において、第1行から第L-1行の画素を走査する期間である時刻 $t_0 \sim t_1$ の間、Skip EnableにはHが出力され、垂直走査回路2及び水平走査回路3とも間

10

20

30

40

50

引き走査が行われ、行及び列とも1画素おきに間引きながら読み出されると共に、この期間はMemory 1 WriteのみがHとなり、A/D変換部5から出力されるデジタル映像信号は、間引き画像用の第1のバッファメモリ6にのみ書き込まれる。

【0013】次に、第L行から第M行までを走査する期間である時刻 $t_1 \sim t_2$ 間は、SkipEnableにはLが出力され、垂直走査回路2及び水平走査回路3とも全画素を走査する。この期間はMemory 2 WriteにHが出力され、ピント合わせ画像用の第2のバッファメモリ7に映像信号が書き込まれる。一方、間引き走査に対応する位置の画素の信号がA/D変換部5から出力されるタイミングに同期してMemory 1 WriteがHとなり、間引き画像用の第1のバッファメモリ6には、間引き走査に対応する位置の画素の信号のみが書き込まれる。

【0014】時刻 $t_2 \sim t_3$ 間は再びSkipEnableがHとなり、第M+1行から第m行までを行及び列とも間引き走査すると共に、Memory 1 WriteがHとなることで、A/D変換部5から出力されるデジタル映像信号は間引き画像用の第1のバッファメモリ6にのみ書き込まれる。

【0015】このように1フレームを走査することにより、間引き画像用の第1のバッファメモリ6には全画素領域の間引き信号が、ピント合わせ画像用の第2のバッファメモリ7には全画素を走査した領域の画像が記憶される。第2のバッファメモリ7に記録されたピント合わせ用の映像情報は、ピント合わせ処理(AF制御)を行うCPU11に転送され、ピント状態が判定されると共に光学系へフィードバックされる。

【0016】一方、第1のバッファメモリ6に記録された間引き映像信号は、ビデオ同期信号発生回路8から入力されるビデオ同期信号に合わせて読み出され、D/A変換部9でアナログ変換された後、ビデオモニタ10に動画として表示される。この際、ビデオ出力のフレームレートと撮像素子からの読み出しのフレームレートとは一致させる必要があるのに対して、撮像素子からの読み出す画素数の方がビデオ出力の画素数よりも多いため、同一のデータレートで駆動すると撮像素子からの読み出し期間が長くなってしまいう問題がある。この時間差がビデオ規格の垂直帰線期間内で吸収できれば支障がないが、それを越える場合には両者のデータレートに若干の差を持たせることで解決できる。

【0017】このように画素アレイの一部のみ全画素走査し、それ以外の領域は間引き走査すると共に、出力される映像信号を複数のバッファメモリを介して間引き画像と全画素走査した領域の画像とに分離し、間引き画像をビデオ同期信号に合わせて出力し、全画素走査した領域の画像をピント合わせ処理に利用することで、画像入力装置を高精細化した場合においてもフレームレートを落とさずに、画角合わせとピント合わせ用の情報を同時

に得ることができる。

【0018】本実施の形態では、全画素読み出す領域を第L行から第M行の全画素として説明したが、SkipEnableのタイミングを変更することで、列方向にも全画素読み出す領域を任意に設定できる。また、間引きに関しても一画素飛ばしに限定するものではなく、走査回路の簡単な変更により3画素、4画素飛ばしといった間引き走査にも対応できる。更に補足すると、本実施の形態では画像の一部領域を全画素読み出した映像情報をピント合わせに用いる場合について説明したが、CPUの処理内容に追加することで局所露光時間制御や局所ホワイトバランス処理などにも有効に利用できる。

【0019】

【発明の効果】以上、実施の形態に基づいて説明したように、本発明によれば、固体撮像素子の画素アレイの連続する所定領域の画素群のみを全画素走査すると共に、画素アレイの残りの領域の画素群については間引き走査を行う走査制御手段と、全画素走査領域からの映像信号と間引き走査領域からの映像信号とを互いに分離する映像信号分離手段とを備えているので、画素アレイの特定領域の画素群については全画素走査が行われ、その他の領域の画素群については間引き走査が行われて、間引き走査による映像信号と全画素走査による映像信号とが混在した信号が得られ、これらの混在した信号は映像信号分離手段で分離され、同一フレームから間引き走査による全体画像情報と全画素走査による高解像部分画像情報とを同時に得ることができる。

【図面の簡単な説明】

【図1】本発明に係る画像入力装置の実施の形態を示す概略ブロック構成図である。

【図2】図1に示した実施の形態における間引き走査が可能な走査回路の構成例を示すブロック構成図である。

【図3】図2に示した間引き走査が可能な走査回路の動作を説明するためのタイミング図である。

【図4】図1に示した実施の形態の動作を説明するためのタイミング図である。

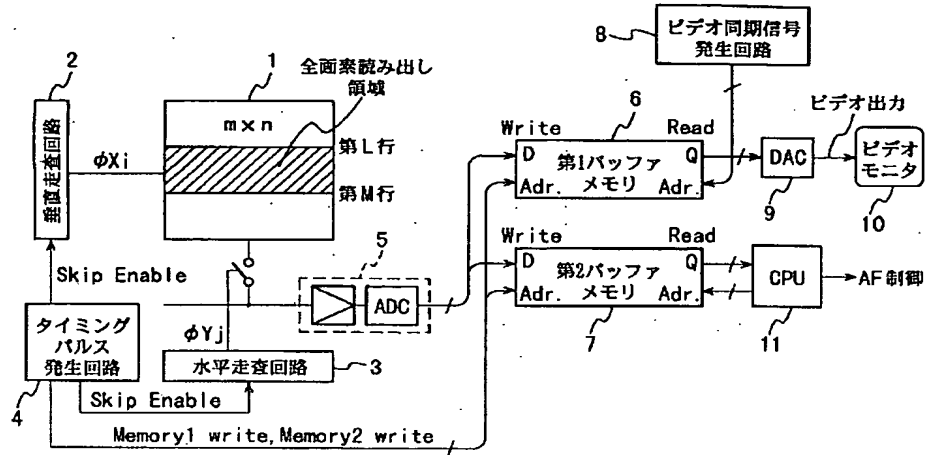
【図5】従来の画像入力装置の構成例を示すブロック構成図である。

【符号の説明】

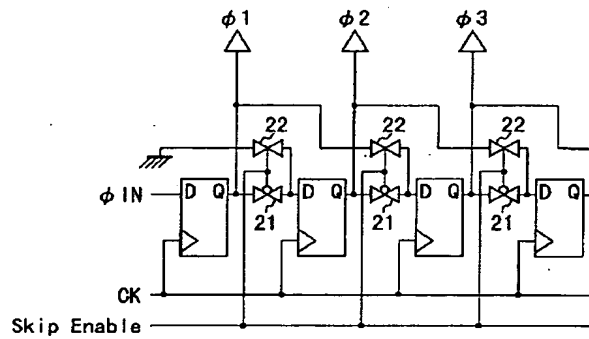
- 1 画素アレイ
- 2 垂直走査回路
- 3 水平走査回路
- 4 タイミングパルス発生回路
- 5 A/D変換部
- 6 第1のバッファメモリ
- 7 第2のバッファメモリ
- 8 ビデオ同期信号発生回路
- 9 D/A変換部
- 10 ビデオモニタ
- 11 CPU

21, 22 スイッチ

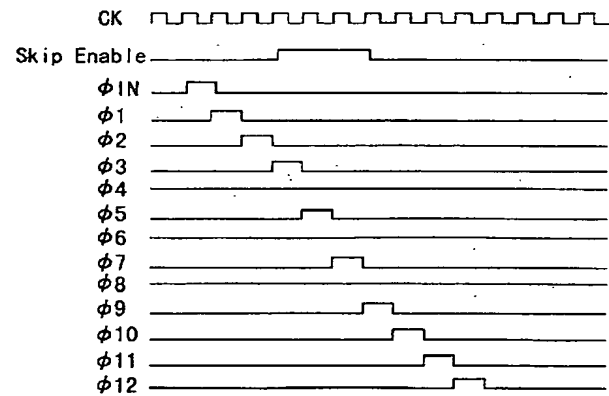
【図1】



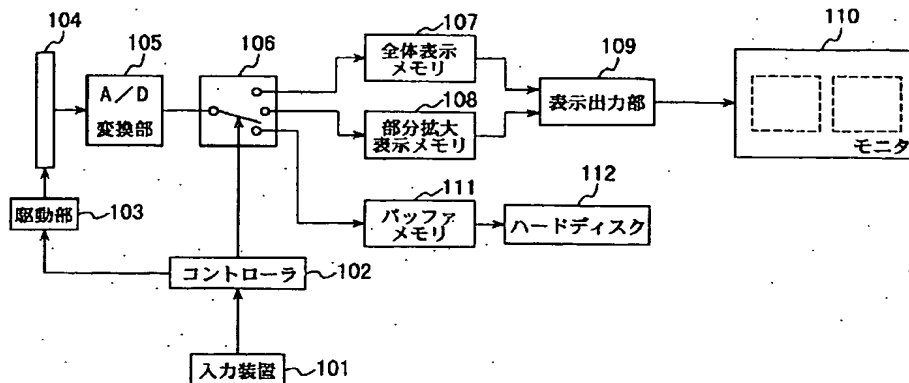
【図2】



【図3】



【図5】



【図4】

